

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-336462

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H04N 1/417

H03M 7/36

(21)Application number : 09-142794

(71)Applicant : MURATA MACH LTD

(22)Date of filing : 30.05.1997

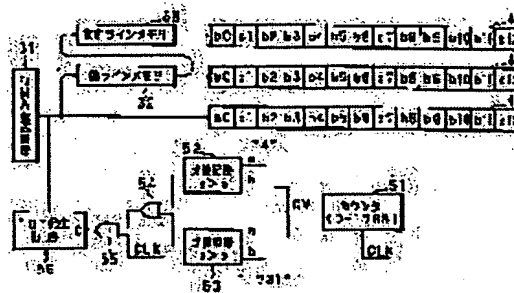
(72)Inventor : KOTANI MASAKI

(54) CODER, DECODER AND CODING DECODING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To attain highly efficient coding decoding processing by allowing the device to have a shift register that stores a prescribed number of lines and respective pixel data and a shift register that stores data of a pixel number of a prescribed range.

SOLUTION: The device is provided with shift registers 32, 33 that store respective pixel data of a prescribed number of lines and shift registers 41-43 that store data of a pixel number of at least a prescribed range among output data of the shift registers 32, 33. The data of the pixels of a prescribed of the lines are stored in a preceding line memory 32 and a 2-preceding line memory 33, and data of pixel number within a prescribed range among output data of each-shift register are respectively stored in the shift registers 41-43. The data are sequentially processed attended with the shift operation of the shift registers by having only to use the same address of each shift register for a processing object. Thus, high speed processing by the hardware is realized.



LEGAL STATUS

[Date of request for examination]

17.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3622042

[Date of registration]

03.12.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The encoder characterized by having the shift register which memorizes the pixel data of each line of said predetermined number, and the shift register of the output data of each shift register which memorizes the data of the number of pixels of said predetermined range at least in the encoder which predicts the pixel for coding from the condition of the pixel of the predetermined range of the line where the pixel is contained, and the line of the predetermined number in front of that, and carries out coding processing.

[Claim 2] The decoder characterized by having the shift register which memorizes the pixel data of each line of said predetermined number, and the shift register of the output data of each shift register which memorizes the data of the number of pixels of said predetermined range at least in the decoder which carries out decryption processing of the code data which predicted the pixel for coding from the condition of the pixel of the predetermined range of the line where the pixel is contained, and the line of the predetermined number in front of that.

[Claim 3] The sign and decoder characterized by having the encoder of claim 1, and the decoder of claim 2.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to an encoder, a decoder, and a sign and a decoder, and is especially ITU-T (International Telecommunication Union-Telecommunication recommendation). It is related with the encoder, the so-called decoder, and so-called sign and decoder of a picture compression coding method of the JBIG method based on advice T.82.

[0002]

[Description of the Prior Art] As a compression coding method of the image data conventionally used for facsimile communication, they are MH (Modified Huffman) method and MR (Modified READ). A method and MMR (Modified Modified READ) The method was used. MH method is the technique of encoding white or the number of continuation of a black pixel, and is a compression coding method of the single dimension compressed in each scanning-line unit. MR method is a compression coding method which raised effectiveness using correlation between perpendicular directions (line), i.e., 2 scanning lines which adjoin each other. A MMR method is a method which improved a part of MR method and raised compression efficiency more, and is theoretically the same. However, facsimile communication is expected the compression coding method of nearby high efficiency as a trend of a time. in addition, above-mentioned MH, MR, and MMR each method is reversible -- namely, -- It is the method which can be restored to the condition of a dimension 100%.

[0003] On the other hand, the compression coding method of various images is desired and developed with development of computer technology in recent years, especially digital imaging technology. among those, reversible -- namely, -- as the method which can be restored to the condition of a dimension 100% -- the so-called JBIG (Joint Bi-level Image coding experts Group) Method As the specification for being specified as ITU-T recommendation T.82, and applying it to facsimile communication ITU-T recommendation T.85 is specified.

[0004] By the way, coding of a JBIG method is faced and they are two or more vertical-scanning lines (line) about the image for coding. It divides and processes to the partition called a stripe in a unit. and binary image data directly obtained from each stripe (dot data) although omitted for details, according to the correlation between [of the predetermined range which is the line in which an object pixel and it are located and 1 in front of that, or two lines] pixels, it encodes with an encoder -- having -- SCD (stripe coded data) ** -- it carries out -- having -- further predetermined processing -- PSCD (protected stripe coded data) ** -- it is carried out. The termination marker who shows termination of the data for one stripe is added to this PSCD, and it is SDE (stripe data stereo). It is generated. each SDE **** -- FMS (floating marker segment) it adds -- having -- such a set -- plurality -- BID (binary image data) of the image for one sheet It is formed. furthermore -- this -- BIH (binary image header) which recorded the various parameters at the time of it being generated by BID it adds -- having -- BIE (binary image stereo) It is formed.

[0005] a decryption -- **** -- processing of reverse -- namely, -- BIE to BIH dissociating -- BID is obtained -- from BID separating FMS -- plurality SDE -- obtaining -- each SDE to a termination marker -- dissociating -- PSCD -- obtaining -- processing predetermined to PSCD

— carrying out — SCD is obtained. and — giving SCD to a decoder — binary drawing data (dot data) It obtains, and prints by the printer or displays on an indicating equipment as bit map data. [0006] On the occasion of coding processing of the above JBIG methods, it may encode by the pixel of two lines of the line where the pixel for coding is contained as mentioned above, and the line in front of that, or may encode further by the pixel of three lines with the line in front of one more line.

[0007] Drawing 1 (a) It is the mimetic diagram showing the field of the pixel called the template in the case of encoding by the pixel of three lines (three-line template), and is drawing 1 (b). It is the mimetic diagram showing the field of the pixel called the template in the case of encoding by the pixel of two lines (two-line template). However, in drawing 1, "?" is a pixel for coding and this pixel is not contained in a template. The pixel shown by "X" shows the usual pixel of a template. moreover, special pixel in the template by which the pixel shown by "A" is called "adaptive ones" or "AT" (AT pixel) Although shown, the detail is omitted here.

[0008] By the JBIG method, even if it encodes the pixel for coding based on the pattern of the pixel contained in a template as shown in this drawing 1 and faces a decryption, the same template is used.

[0009] Drawing 2 is the block diagram showing the example of a configuration of the encoder of a JBIG method. It is shown by the reference mark 11. TPB is typical prediction. (bottom product) It is a block, AT shown by 12 is the block of an adaptive template, MT shown by 13 is the block of a model template, and it is shown by 14. AAE is an adaptive algebraic-sign machine.

[0010] In addition, the minimum resolution is targetted for the encoder which the bottom product shows that the resolution of an image is the minimum resolution here, therefore is shown in drawing 2. By the JBIG method, it is possible to encode the same subject-copy image in two or more resolution, and each resolution is called layer. however, make it any — by the JBIG method, it encodes in the minimum resolution first, and if required, coding in higher resolution will be performed using the coding result in the minimum resolution. Moreover, even if it faces decryption processing, it is first decrypted in the minimum resolution, and if required for reverse, a decryption in higher resolution will be carried out to it using the decryption result in the minimum resolution. However, it is the minimum resolution and T.85 for facsimile communications in the specification which specialized often [the layer of a bottom product], and such when putting in another way specification.

[0011] In each block of the encoder shown in drawing 2, it is drawing data. (value of each pixel) It is the data SLNTP in which it is inputted into and it is shown whether the pixel for coding of it is the same as a before pixel while TPB 11 performs typical prediction and gives it to AT12 and AAE14 by setting the value of the result to TPVALE. It outputs. AT12 discovers the periodicity of an image, and when there is periodicity, it outputs the data ATMOVE which direct migration of AT pixel. MT13 outputs the integral data called the context (CX) which shows the correlation of the pixel for coding to a template according to drawing data and ATMOVE from AT12. AAE 14 is SLNTP outputted from CX and TPB11 which are outputted from drawing data and MT13. And the code data of the result of having carried out coding processing of the pixel for coding with reference to TPVALE is outputted.

[0012] In addition, although code data is outputted from AAE 14, other various data including ATMOVE outputted from AT12 are compounded, and the above-mentioned BIE (binary image stereo) is generated eventually.

[0013] Drawing 3 is the block diagram showing the example of a configuration of the decoder of a JBIG method. It is shown by the reference mark 21. AAD is the block of an adaptive arithmetic decoder, MT shown by 22 is the block of a model template, and it is shown by 23. TPB is typical prediction. (bottom product) It is a block.

[0014] In AAD 21, it is BIE (binary image stereo). The code data generated by inner above-mentioned AAE 14 is inputted. Although AAD 21 carries out decryption processing of the inputted code data and drawing data are outputted, this drawing data is inputted into MT22 and TPB23. Moreover, AAD 21 is SLNTP to the inputted code data. When contained, it is separated and it gives TPB 23. ATMOVE is also inputted into MT22 besides above-mentioned drawing data, and CX is generated from both and it gives AAD21. It is SLNTP besides the drawing data

outputted to TPB 23 from above-mentioned AAD 21. It is given, and TPVALE is generated and it gives AAD 21. Therefore, AAD 21 decodes the inputted code data to drawing data with reference to TPVALE given from CX and TPB23 to which it is given from MT22.

[0015]

[Problem(s) to be Solved by the Invention] By the way, since the above conventional encoders and decoders of a JBIG method need to perform very complicated processing, even if only hardware realizes the whole by any of only software, they cannot but become very large-scale. Therefore, processing speed becomes late and was impractical when a manufacturing cost increases in realizing as hardware, and realizing as software.

[0016] In case this invention is made in view of such a situation and the encoder and decoder of a JBIG method are realized, it aims at realizing the encoder in which efficient sign and decode processing are possible, a decoder, and a sign and a decoder, combining software and hardware suitably.

[0017]

[Means for Solving the Problem] The encoder concerning this invention is an encoder which predicts the pixel for coding from the condition of the pixel of the predetermined range of the line where the pixel is contained, and the line of the predetermined number in front of that, and carries out coding processing, and is characterized by having the shift register which memorizes the pixel data of each line of a predetermined number, and the shift register of the output data of each shift register which memorizes the data of the number of pixels of the predetermined range at least.

[0018] In the encoder of such this invention, the data of the pixel of the line of a predetermined number are memorized by the shift register, respectively, and since [of the output data of each shift register] the data of the number of pixels of the predetermined range are memorized by the shift register at least, respectively, in connection with the shift action of a shift register only at making the same location of a shift register into a processing object, processing of data is given to a target one by one.

[0019] Moreover, the decoder concerning this invention is a decoder which carries out decryption processing of the code data which predicted the pixel for coding from the condition of the pixel of the predetermined range of the line where the pixel is contained, and the line of the predetermined number in front of that, and is characterized by having the shift register which memorizes the pixel data of each line of a predetermined number, and the shift register of the output data of each shift register which memorizes the data of the number of pixels of the predetermined range at least.

[0020] In the decoder of such this invention, the data of the pixel of the line of a predetermined number are memorized by the shift register, respectively, and since [of the output data of each shift register] the data of the number of pixels of the predetermined range are memorized by the shift register at least, respectively, in connection with the shift action of a shift register only at making the same location of a shift register into a processing object, processing of data is given to a target one by one.

[0021] Furthermore, the sign and decoder concerning this invention are characterized by having combining an above-mentioned encoder and an above-mentioned decoder.

[0022] In such a sign and a decoder, also in any of the encoder and decoder, the data of the pixel of the line of a predetermined number are memorized by the shift register, respectively, and since [of the output data of each shift register] the data of the number of pixels of the predetermined range are memorized by the shift register at least, respectively, in connection with the shift action of a shift register only at making the same location of a shift register into a processing object, processing of data is given to a target one by one.

[0023]

[Embodiment of the Invention] Hereafter, this invention is explained in full detail based on the drawing in which the gestalt of the operation is shown. Drawing 4 is the block diagram showing the example of a configuration of the encoder of this invention.

[0024] Reference mark 110 It is shown. TPB is typical prediction. (bottom product) It is a software block and is 120. AT shown is the software block of an adaptive template, and is 130.

MT circuit shown is the hardware block of a model template, and is 140. It is shown. AAE is the software block of an adaptive algebraic-sign machine.

[0025] The configuration of such an encoder of this invention is fundamentally the same as that of the encoder of the conventional JBIG method shown in above-mentioned drawing 2.

However, TPB 11 of the conventional example shown in drawing 2 in this invention, AT12, and AAE 14 are TPB110, AT120, and AAE140, respectively. It carries out, software realizes and MT13 is the MT circuit 130. It carries out and realizes by hardware.

[0026] Drawing 5 is the block diagram showing the example of a configuration of the decoder of this invention. Reference mark 210 It is shown. AAD is the software block of an adaptive arithmetic decoder, and is 220. MT circuit shown is the hardware block of a model template, and is shown by 230. TPB is typical prediction. (bottom product) It is a software block.

[0027] The configuration of such a decoder of this invention is fundamentally the same as that of the decoder of the conventional JBIG method shown in above-mentioned drawing 3. However, for AAD 21 of the conventional example shown in drawing 3 in this invention, and TPB 23, software realizes as AAD210 and TPB230, respectively, and MT22 is the MT circuit 220. It carries out and realizes by hardware.

[0028] In addition, the same thing cannot be overemphasized on the sign and the conventional decoder, and conventional functional target of a JBIG method by which the decoder shown in the encoder and drawing 5 of this invention shown in drawing 4 is shown to above-mentioned drawing 2 and above-mentioned drawing 3 R> 3.

[0029] Drawing 6 is the MT circuit 130. And MT circuit 220 It is the block diagram showing circuitry. A reference mark 31 is DMA (Direct Memory Access). It is a transfer circuit and each bit of drawing data is outputted. It is the shift register of the FIFO (First-In First-Out) type which a reference mark 32 shows before line memory, and 33 shows beforehand line memory, and has 6 more bits in the number of bits of an one-line phase-splitting this, respectively. 42 shows the 2nd shift register, 43 shows the 3rd shift register for the 1st shift register, respectively, and a reference mark 41 is b0-b12, respectively. It is the FIFO type shift register of 13 bit patterns of until.

[0030] The output of each bit of the drawing data from the DMA transfer circuit 31 is inputted from the end of the before line memory 32 while it is inputted from the bit b0 side of the 3rd shift register 43. The bit output from the other end of the before line memory 32 is inputted from the end of the beforehand line memory 33 while it is inputted from the bit b0 side of the 2nd shift register 42, and the bit output from the other end of the beforehand line memory 33 is inputted from the bit b0 side of the 1st shift register 41.

[0031] A reference mark 51 is a counter and is Clock CLK. It considers as the object for a count and "from 0" to "1733" is counted. a reference mark -- 52 -- a comparison circuit -- it is -- a -- an input -- **** -- a constant -- " -- four -- " -- b -- an input -- **** -- a counter -- 51 -- counted value -- valve flow coefficient -- inputting -- having -- **** -- a>b -- it is -- a case -- namely, -- a counter -- 51 -- counted value -- valve flow coefficient -- " -- zero -- " -- from -- " -- three -- " -- up to -- between -- a signal -- "1" is outputted. a reference mark -- 53 -- a comparison circuit -- it is -- a -- an input -- **** -- a counter -- 51 -- counted value -- valve flow coefficient -- b -- an input -- **** -- a constant -- " -- 1731 -- " -- inputting -- having -- **** -- a>b -- it is -- a case -- namely, -- a counter -- 51 -- counted value -- valve flow coefficient -- " -- 1732 -- " -- from -- " -- 1733 -- " -- up to -- between -- a signal -- "1" is outputted.

[0032] In addition, the reason counted value valve flow coefficient of a counter 51 is set up from "0" by "1733" is because the JBIG method is made to correspond to 1728 resolution of one line, i.e., the pixels, of A4 size in the case of using for facsimile communication. Therefore, it cannot be overemphasized that the upper limit of counted value valve flow coefficient of a counter 51 may be set as other proper values according to the applicable field.

[0033] Both the comparison circuits 52 and the output signal of 53 are inputted into the OR gate 54. Therefore, this OR gate 54 outputs signal "1", when counted value valve flow coefficients of a counter 51 are "0" to "3", and "1732" to "1733." Output signal of this OR gate 54 Although inputted into one input terminal of the AND gate 55, in the input terminal of that another side, it

is Clock CLK. It is inputted, and -- this -- The output signal of the AND gate 55 is given to "0" generating circuit 56 as a trigger signal. Therefore, "0" generating circuit 56 generates and outputs "0", when counted value valve flow coefficients of a counter 51 are "0" to "3", and "1732" to "1733." This "0" signal which generating circuit 56 generates "0" is given to the 3rd shift register 43 and the before line memory 32.

[0034] MT circuit 130 of the above configurations And MT circuit 220 Actuation is explained below by making the case of a two-line template into an example.

[0035] first -- both the line memory 32, 33 and each shift register 41, 42, and 43 -- all -- "0" -- it is cleared. Then, clock CLK with which counted value valve flow coefficient of a counter 51 is set to "0" to "3" In timing, while "0" signal from generating circuit 56 "0" is outputted and being inputted into the bits b0-b3 of the 3rd shift register 43, it is inputted also into the first 4 bits of the before line memory 32. The content of each shift register 41 at this event, 42, and 43 is "0" altogether as shown in the mimetic diagram of drawing 7.

[0036] Then, clock CLK with which counted value valve flow coefficient of a counter 51 becomes from "4" by "1731" In timing Each bit of the 1st line of drawing data is outputted sequentially from a head side from the DMA transfer circuit 31. Under the present circumstances, "0" signal from generating circuit 56 "0" is not outputted. And when the bit (shown by "?") of the head of the 1st line of drawing data becomes the bit b8 of the 3rd shift register 43 (shown by "?"), it will be in each shift register 41, 42, and the condition that the content of 43 is shown in drawing 8, and a two-line template will be formed. However, the condition by which it is shown in drawing 8 is drawing 1 (b) by the relation of the shift register 41 of each bit, 42, and the input direction of 43. It is in the condition by which it is shown to right-and-left reverse.

[0037] In addition, although all the bits of "A" which constitutes a template in drawing 8, and "X" are "0" When the pixel for coding is a pixel of the upper bed of an image, a left end, and a right end, in order that this may make unnecessary special processing (edge conversion) required originally, data "0", If it puts in another way, by arranging to the field of the outside of an original image by making a white pixel into an imagination pixel, it will be because the same processing as the case where the pixel for coding is located in the center of an image is enabled. Moreover, "Y" expresses each bit after the bit of the head of the 1st line of drawing data.

[0038] After this, the sequential input of the bit of the 1st line of drawing data is carried out from the bit b0 side of the 3rd shift register 43, and it is a bit b12. Since it is shifted to a side, a template continues being formed by making a bit b8 into the pixel for coding.

[0039] soon, the bit of the tail of the 1st line of drawing data inputs into the bit b0 of the 3rd shift register 43 -- having -- further -- counted value valve flow coefficient of the subsequent counter 51 -- clocks CLK from "1732" to "1733" Since "0" signal from generating circuit 56 "0" is inputted into the 3rd shift register 43 between two clocks, the content of each shift register 41, 42, and 43 will be in the condition that it is shown in drawing 9.

[0040] In addition, while the above processings are performed, the data of "0" are inputted [4 bits of a head] into the before line memory 32 for each bit of the 1st line of drawing data, and 2 bits of a tail "0" and henceforth.

[0041] Then, while continuing "0" at the 3rd shift register 43 and inputting "0" for each bit of the 2nd line of drawing data further after that, each bit of the data of "0" is inputted [4 bits of a head] into the 2nd shift register 42 for each bit of the 1st line of drawing data, and 2 bits of a tail from the 2nd shift register 42 "0" and henceforth. [4-bit] [2-bit] Therefore, a template will be formed by making the bit b8 of the 3rd shift register 43 into the pixel for coding. Drawing 10 shows the content of the shift register 41 in such a case, 42, and 43, "Y" shows each bit of the 1st line of drawing data, and "Z" shows each bit of the 2nd line of drawing data, respectively.

[0042] Hereafter, in sequential, it will make the bit b8 of the 3rd shift register 43 the pixel for coding, the data of the line in front of one of them being inputted into the 2nd shift register 42, and each line of drawing data being shifted one by one, at a target, and a template will be formed in the 3rd shift register 43.

[0043] In addition, the actuation after it is the same as that of the case of an above-mentioned two-line template fundamentally that the initial state of the shift register 41 in the case of a

three-line template, 42, and 43 comes (this supports the mimetic diagram of the three-line template shown in drawing 2 (a)) to be shown in drawing 11. However, in the case of a two-line template, the 1st shift register 41 is not used, but in the case of a three-line template, it differs in that the 1st shift register 41 is used.

[0044]

[Effect of the Invention] As explained in full detail above, since the data of the pixel of the line of a predetermined number are memorized by the shift register, respectively and processing of data is given to a target one by one in connection with the shift action of a shift register only at making the same location of a shift register into a processing object since [of the output data of each shift register] the data of the number of pixels of the predetermined range are memorized by the shift register at least, respectively, according to the encoder of this invention, high-speed processing is realized by hardware.

[0045] Moreover, since according to the decoder of this invention the data of the pixel of the line of a predetermined number are memorized by the shift register, respectively and processing of data is given to a target one by one in connection with the shift action of a shift register only at making the same location of a shift register into a processing object since [of the output data of each shift register] the data of the number of pixels of the predetermined range are memorized by the shift register at least, respectively, high-speed processing is realized by hardware.

[0046] Furthermore, according to the sign and the decoder of this invention, it also sets to any of the encoder and decoder. The data of the pixel of the line of a predetermined number are memorized by the shift register, respectively. Moreover, since [of the output data of each shift register] the data of the number of pixels of the predetermined range are memorized by the shift register at least, respectively, Since processing of data is given to a target one by one in connection with the shift action of a shift register only at making the same location of a shift register into a processing object, high-speed processing is realized by hardware.

[Translation done.]

*** NOTICES ***

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the mimetic diagram showing the relation between the pixel for coding in the case of coding of the drawing data based on a JBIG method, and a template.

[Drawing 2] It is the block diagram showing the example of a configuration of the encoder of a JBIG method.

[Drawing 3] It is the block diagram showing the example of a configuration of the decoder of a JBIG method.

[Drawing 4] It is the block diagram showing the example of a configuration of the encoder of this invention.

[Drawing 5] It is the block diagram showing the example of a configuration of the decoder of this invention.

[Drawing 6] It is the block diagram showing the circuitry of the model template (MT) circuit of the encoder of this invention, and a decoder.

[Drawing 7] It is the mimetic diagram showing the content of each shift register at the time of the two-line template formation by the model template (MT) circuit of the encoder of this invention, and a decoder.

[Drawing 8] It is the mimetic diagram showing the content of each shift register at the time of the two-line template formation by the model template (MT) circuit of the encoder of this invention, and a decoder.

[Drawing 9] It is the mimetic diagram showing the content of each shift register at the time of the two-line template formation by the model template (MT) circuit of the encoder of this invention, and a decoder.

[Drawing 10] It is the mimetic diagram showing the content of each shift register at the time of the two-line template formation by the model template (MT) circuit of the encoder of this invention, and a decoder.

[Drawing 11] It is the mimetic diagram showing the content of each shift register at the time of the three-line template formation by the model template (MT) circuit of the encoder of this invention, and a decoder.

[Description of Notations]

32 Before Line Memory

33 Beforehand Line Memory

41, 42, 43 Shift register

110 TPB (Typical Prediction Block)

120 AT (Adaptive Template Block)

130 MT (Model Template Block) Circuit

140 AAE (Adaptive Algebraic-Sign Machine)

210 AAD (Adaptive Arithmetic Decoder)

220 MT (Model Template Block) Circuit

230 TPB (Typical Prediction Block)

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-336462

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁸

H 0 4 N 1/417

H 0 3 M 7/36

識別記号

F I

H 0 4 N 1/417

H 0 3 M 7/36

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21)出願番号 特願平9-142794

(22)出願日 平成9年(1997)5月30日

(71)出願人 000006297

村田機械株式会社

京都府京都市南区吉祥院南落合町3番地

(72)発明者 小谷 正樹

京都府京都市伏見区竹田向代町136番地

村田機械株式会社本社工場内

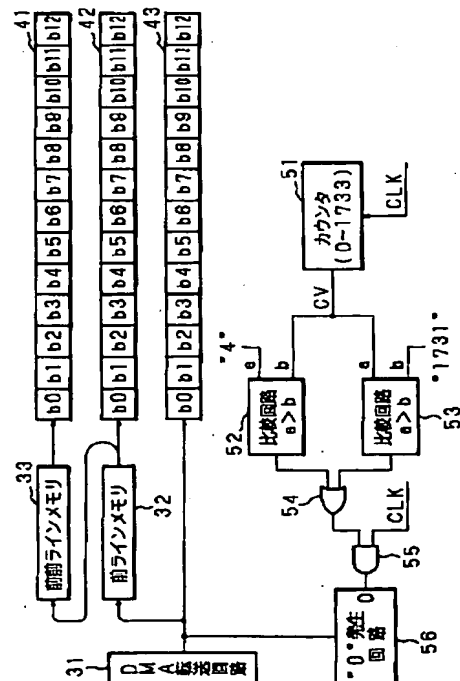
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 符号器、復号器及び符号・復号器

(57)【要約】

【課題】 従来のJBIG方式の符号・復号器は、非常に複雑な処理を行なう必要があるため、その全体をハードウェアのみまたはソフトウェアのみのいずれで実現するにしても非常に大規模にならざるを得ない。従って、ハードウェアとして実現する場合には製造コストが高み、ソフトウェアとして実現する場合には処理速度が遅くなって非実用的であった。

【解決手段】 符号化対象画素をその画素が含まれるラインとその直前の所定数のラインの所定範囲の画素の状態から予測して符号化処理するために、またそのようにして得られた符号データを復号するために、所定数のラインそれぞれの画素データを記憶する前ラインメモリ32、前前ラインメモリ33と、それぞれの出力データの内の少なくとも所定範囲の画素数のデータを記憶するシフトレジスタ41、42、43とを備える。



【特許請求の範囲】

【請求項1】 符号化対象画素をその画素が含まれるラインとその直前の所定数のラインの所定範囲の画素の状態から予測して符号化処理する符号器において、前記所定数のラインそれぞれの画素データを記憶するシフトレジスタと、各シフトレジスタの出力データの内の少なくとも前記所定範囲の画素数のデータを記憶するシフトレジスタとを備えたことを特徴とする符号器。

【請求項2】 符号化対象画素をその画素が含まれるラインとその直前の所定数のラインの所定範囲の画素の状態から予測した符号データを復号化処理する復号器において、前記所定数のラインそれぞれの画素データを記憶するシフトレジスタと、各シフトレジスタの出力データの内の少なくとも前記所定範囲の画素数のデータを記憶するシフトレジスタとを備えたことを特徴とする復号器。

【請求項3】 請求項1の符号器と請求項2の復号器とを備えたことを特徴とする符号・復号器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は符号器、復号器及び符号・復号器に関し、特にITU-T(International Telecommunication Union-Telecommunication recommendation)勧告T.82に準拠するいわゆるJBIG方式の画像圧縮符号化方式の符号器、復号器及び符号・復号器に関する。

【0002】

【従来の技術】従来、ファクシミリ通信に使用される画像データの圧縮符号化方式としては、MH(Modified Huffman)方式、MR(Modified READ)方式、MMR(Modified Modified READ)方式が使用されていた。MH方式は、白または黒の画素の連続数を符号化する手法であり、各走査線単位で圧縮される一次元の圧縮符号化方式である。MR方式は、垂直方向、即ち相隣する2走査線(ライン)間の相関を利用して効率を高めた圧縮符号化方式である。MMR方式はMR方式を一部改良してより圧縮効率を高めた方式であり、原理的には同一である。しかし、時代の趨勢としてファクシミリ通信にもより高能率の圧縮符号化方式が望まれている。なお、上述のMH、MR、MMR方式はいずれも可逆的、即ち100%元の状態に復元可能な方式である。

【0003】一方、近年のコンピュータ技術、特にデジタル画像技術の発展に伴って、種々の画像の圧縮符号化方式が望まれ、また開発されている。それらの内で可逆的、即ち100%元の状態に復元可能な方式としていわゆるJBIG(Joint Bi-level Image coding experts Group)方式がITU-T勧告T.82として規定されており、それをファクシミリ通信に適用するための規格としてITU-T勧告T.85が規定されている。

【0004】ところで、JBIG方式の符号化に際しては、符号化対象の画像を複数の副走査線(ライン)単位でス

トライブと称する区画に分割して処理する。そして、各ストライブから直接得られた2値画像データ(ドットデータ)は詳細は省略するが対象画素とそれが位置するライン及びその直前の1または2ラインの所定範囲の画素相互間での相関関係に応じて符号器によって符号化されてSCD(ストライブ符号化データ)とされ、更に所定の処理によりPSCD(保護されたストライブ符号化データ)とされる。このPSCDに一ストライブ分のデータの終了を示す終端マークが付加されてSDE(ストライブデータ実体)が生成される。個々のSDEにはFMS(フローティングマークセグメント)が付加され、そのようなセットが複数で一枚分の画像のBID(2値画像データ)が形成される。更に、このBIDにそれが生成された際の種々のパラメータを記録したBIH(2値画像ヘッダ)が付加されてBIE(2値画像実体)が形成される。

【0005】復号化は上述とは逆の処理、即ちBIEからBIHを分離してBIDを得て、BIDからFMSを分離することにより複数のSDEを得て、個々のSDEから終端マークを分離してPSCDを得て、PSCDに所定の処理を行なってSCDを得る。そしてSCDを復号器に与えることにより、2値画データ(ドットデータ)を得てプリンタでプリントし、または表示装置にビットマップデータとして表示する。

【0006】上述のようなJBIG方式の符号化処理に際しては、前述したように符号化対象の画素が含まれるラインとその直前のラインとの2ラインの画素で符号化を行なう場合と、更にもう1ライン直前のラインとの3ラインの画素で符号化を行なう場合とがある。

【0007】図1(a)は3ラインの画素で符号化を行なう場合のテンプレート(3ラインテンプレート)と称される画素の領域を示す模式図であり、図1(b)は2ラインの画素で符号化を行なう場合のテンプレート(2ラインテンプレート)と称される画素の領域を示す模式図である。但し、図1において“?”が符号化対象の画素であり、この画素はテンプレートには含まれない。“X”で示されている画素はテンプレートの通常の画素を示している。また、“A”で示されている画素は「アダプティブ」または「AT」と称されるテンプレート内の特別な画素(AT画素)を示しているが、その詳細はここでは省略する。

【0008】JBIG方式ではこの図1に示されているようなテンプレートに含まれる画素のパターンに基づいて符号化対象画素の符号化を行ない、また復号化に際しても同様のテンプレートが使用される。

【0009】図2はJBIG方式の符号器の構成例を示すブロック図である。参照符号11で示されているTPBは典型的予測(ボトム)のブロックであり、12で示されているATはアダプティブテンプレートのブロックであり、13で示されているMTはモデルテンプレートのブロックであり、14で示されているAAEはアダプティブ算術符号器で

ある。

【0010】なお、ここでボトムとは画像の解像度が最低解像度であることを示しており、従って図2に示されている符号器は最低解像度を対象としている。JBIG方式では、同一の原画像を複数の解像度で符号化することが可能であり、それぞれの解像度をレイヤという。しかしいずれにしろ、JBIG方式ではまず最低解像度で符号化を行ない、必要であれば最低解像度での符号化結果を利用してより高い解像度での符号化が行なわれる。また逆に、復号化処理に際してもまず最初に最低解像度で復号化され、必要であれば最低解像度での復号化結果を利用してより高い解像度での復号化が行なわれる。但し、最低解像度、換言すればボトムのレイヤのみでもよく、そのように特化した規格がファクシミリ通信用のT.85規格である。

【0011】図2に示されている符号器の各ブロックには画データ（個々の画素の値）が入力されており、TPB 11は典型的予測を行なってその結果の値をTPVALEとしてAT12及びAAE 14に与えると共に、符号化対象画素が前画素と同一であるか否かを示すデータSLNTPを出力する。AT12は画像の周期性を探し出し、周期性がある場合にはAT画素の移動を指示するデータATMOVEを出力する。MT13は画データとAT12からのATMOVEとに従ってテンプレートに対する符号化対象画素の相関関係を示すコンテキスト(CX)と称される整数のデータを出力する。AAE 14は、画データとMT13から出力されるCXとTPB 11から出力されるSLNTP及びTPVALEとを参照して符号化対象画素を符号化処理した結果の符号データを出力する。

【0012】なお、AAE 14から出力されるのは符号データであるが、AT12から出力されるATMOVEを含めて他の種々のデータが合成されて最終的に前述のBIE(2値画像実体)が生成される。

【0013】図3はJBIG方式の復号器の構成例を示すブロック図である。参照符号21で示されているAADはアダプティブ算術復号器のブロックであり、22で示されているMTはモデルテンプレートのブロックであり、23で示されているTPBは典型的予測(ボトム)のブロックである。

【0014】AAD 21にはBIE(2値画像実体)の内の上述のAAE 14により生成された符号データが入力される。AAD 21は入力された符号データを復号化処理して画データを出力するが、この画データはMT22及びTPB 23に入力される。またAAD 21は入力された符号データにSLNTPが含まれる場合にはそれを分離してTPB 23に与える。MT22には上述の画データの他にATMOVEも入力されており、両者からCXを生成してAAD21に与える。TPB 23には上述のAAD 21から出力される画データの他にSLNTPも与えられており、TPVALEを発生してAAD 21に与える。従って、AAD 21は入力された符号データをMT22から与えられるCX及びTPB 23から与えられるTPVALE等をも参照して画データに

復号する。

【0015】

【発明が解決しようとする課題】ところで上述のような従来のJBIG方式の符号器及び復号器は、非常に複雑な処理を行なう必要があるため、その全体をハードウェアのみまたはソフトウェアのみのいずれで実現するにしても非常に大規模にならざるを得ない。従って、ハードウェアとして実現する場合には製造コストが嵩み、ソフトウェアとして実現する場合には処理速度が遅くなって非実用的であった。

【0016】本発明はこのような事情に鑑みてなされたものであり、JBIG方式の符号器及び復号器を実現する際に、ソフトウェアとハードウェアとを適宜に組み合わせて高効率の符号・復号処理が可能な符号器、復号器及び符号・復号器を実現することを目的とする。

【0017】

【課題を解決するための手段】本発明に係る符号器は、符号化対象画素をその画素が含まれるラインとその直前の所定数のラインの所定範囲の画素の状態から予測して符号化処理する符号器であって、所定数のラインそれぞれの画素データを記憶するシフトレジスタと、各シフトレジスタの出力データの内の少なくとも所定範囲の画素数のデータを記憶するシフトレジスタとを備えたことを特徴とする。

【0018】このような本発明の符号器では、所定数のラインの画素のデータがそれぞれシフトレジスタに記憶され、また各シフトレジスタの出力データの内の少なくとも所定範囲の画素数のデータがそれぞれシフトレジスタに記憶されるため、シフトレジスタの同一の位置を処理対象とするのみで、シフトレジスタのシフト動作に伴って順次的にデータの処理が行なわれる。

【0019】また本発明に係る復号器は、符号化対象画素をその画素が含まれるラインとその直前の所定数のラインの所定範囲の画素の状態から予測した符号データを復号化処理する復号器であって、所定数のラインそれぞれの画素データを記憶するシフトレジスタと、各シフトレジスタの出力データの内の少なくとも所定範囲の画素数のデータを記憶するシフトレジスタとを備えたことを特徴とする。

【0020】このような本発明の復号器では、所定数のラインの画素のデータがそれぞれシフトレジスタに記憶され、また各シフトレジスタの出力データの内の少なくとも所定範囲の画素数のデータがそれぞれシフトレジスタに記憶されるため、シフトレジスタの同一の位置を処理対象とするのみで、シフトレジスタのシフト動作に伴って順次的にデータの処理が行なわれる。

【0021】更に本発明に係る符号・復号器は、上述の符号器と復号器とを組み合わせて備えてたことを特徴とする。

【0022】このような符号・復号器では、その符号器

と復号器とのいずれにおいても、所定数のラインの画素のデータがそれぞれシフトレジスタに記憶され、また各シフトレジスタの出力データの内の少なくとも所定範囲の画素数のデータがそれぞれシフトレジスタに記憶されるため、シフトレジスタの同一の位置を処理対象とするのみで、シフトレジスタのシフト動作に伴って順次的にデータの処理が行なわれる。

【0023】

【発明の実施の形態】以下、本発明をその実施の形態を示す図面に基づいて詳述する。図4は本発明の符号器の構成例を示すブロック図である。

【0024】参照符号110で示されているTPBは典型的予測（ボトム）のソフトウェアブロックであり、120で示されているATはアダプティブテンプレートのソフトウェアブロックであり、130で示されているMT回路はモデルテンプレートのハードウェアブロックであり、140で示されているAAEはアダプティブ算術符号器のソフトウェアブロックである。

【0025】このような本発明の符号器の構成は、基本的には前述の図2に示されている従来のJBIG方式の符号器と同一である。しかし、本発明においては、図2に示されている従来例のTPB11、AT12、AAE14はそれぞれTPB110、AT120、AAE140としてソフトウェアで実現されており、MT13はMT回路130としてハードウェアで実現されている。

【0026】図5は本発明の復号器の構成例を示すブロック図である。参照符号210で示されているAADはアダプティブ算術復号器のソフトウェアブロックであり、220で示されているMT回路はモデルテンプレートのハードウェアブロックであり、230で示されているTPBは典型的予測（ボトム）のソフトウェアブロックである。

【0027】このような本発明の復号器の構成は、基本的には前述の図3に示されている従来のJBIG方式の復号器と同一である。しかし、本発明においては、図3に示されている従来例のAAD21、TPB23はそれぞれAAD210、TPB230としてソフトウェアで実現されており、MT22はMT回路220としてハードウェアで実現されている。

【0028】なお、図4に示されている本発明の符号器及び図5に示されている復号器共に、前述の図2及び図3に示されている従来のJBIG方式の符号・復号器と機能的には同一であることは言うまでもない。

【0029】図6はMT回路130及びMT回路220の回路構成を示すブロック図である。参照符号31はDMA(Direct Memory Access)転送回路であり、画データの各ビットを出力する。参照符号32は前ラインメモリを33は前前ラインメモリを示しておりそれぞれ1ライン分相当のビット数に更に6ビットを有するFIFO(First-In First-Out)タイプのシフトレジスタである。参照符号41は第1シフトレジスタを、42は第2シフトレジスタを、43は第3シフトレジスタをそれぞれ示しており、それぞれb0～b12ま

での13ビット構成のFIFOタイプのシフトレジスタである。

【0030】DMA転送回路31からの画データの各ビットの出力は第3シフトレジスタ43のビットb0側から入力されると共に前ラインメモリ32の一端から入力され、前ラインメモリ32の他端からのビット出力は第2シフトレジスタ42のビットb0側から入力されると共に前前ラインメモリ33の一端から入力され、前前ラインメモリ33の他端からのビット出力は第1シフトレジスタ41のビットb0側から入力される。

【0031】参照符号51はカウンタであり、クロックCLKをカウント対象として"0"から"1733"までをカウントする。参照符号52は比較回路であり、a入力には定数"4"が、b入力にはカウンタ51のカウント値CVが入力されており、a>bである場合、即ちカウンタ51のカウント値CVが"0"から"3"までの間は信号"1"を出力する。参照符号53も比較回路であり、a入力にはカウンタ51のカウント値CVが、b入力には定数"1731"が入力されており、a>bである場合、即ちカウンタ51のカウント値CVが"1732"から"1733"までの間は信号"1"を出力する。

【0032】なお、カウンタ51のカウント値CVが"0"から"1733"までに設定されている理由は、JBIG方式をファクシミリ通信に利用する場合のA4サイズの1ラインの解像度、即ち画素数1728に対応させているためである。従って、カウンタ51のカウント値CVの上限は、その応用分野に応じて他の適宜の値に設定してもよいことは言うまでもない。

【0033】両比較回路52、53の出力信号はORゲート54に入力されている。従って、このORゲート54はカウンタ51のカウント値CVが"0"から"3"及び"1732"から"1733"である場合に信号"1"を出力する。このORゲート54の出力信号はANDゲート55の一方の入力端子に入力されているが、その他方の入力端子にはクロックCLKが入力されている。そして、このANDゲート55の出力信号が"0"発生回路56にトリガ信号として与えられている。従って、"0"発生回路56は、カウンタ51のカウント値CVが"0"から"3"及び"1732"から"1733"である場合に"0"を発生して出力する。この"0"発生回路56が発生する信号"0"は第3シフトレジスタ43及び前ラインメモリ32に与えられる。

【0034】以上のような構成のMT回路130及びMT回路220の動作について、2ラインテンプレートの場合を例として以下に説明する。

【0035】まず両ラインメモリ32、33及び各シフトレジスタ41、42、43が全て"0"クリアされる。その後、カウンタ51のカウント値CVが"0"から"3"となるクロックCLKのタイミングにおいて、"0"発生回路56から信号"0"が出力されて第3シフトレジスタ43のビットb0～b3に入力されると共に、前ラインメモリ32の最初

の4ビットにも入力される。この時点の各シフトレジスタ41、42、43の内容は図7の模式図に示されているように、全て“0”である。

【0036】この後、カウンタ51のカウント値CVが“4”から“1731”までになるクロックCLKのタイミングにおいてはDMA転送回路31から画データの第1ラインの各ビットが先頭側から順に出力される。この際、“0”発生回路56から信号“0”は出力されない。そして、画データの第1ラインの先頭のビット(“?”で示されている)が第3シフトレジスタ43のビットb8に達した時点(“?”で示されている)で、各シフトレジスタ41、42、43の内容が図8に示されているような状態になって2ラインテンプレートが形成される。但し、図8に示されている状態は、各ビットのシフトレジスタ41、42、43への入力方向の関係で図1(b)に示されている状態とは左右逆になっている。

【0037】なお、図8においてはテンプレートを構成する“A”及び“X”のビットは全て“0”であるが、これは符号化対象画素が画像の上端、左端、右端の画素である場合に本来必要な特殊な処理(エッジ変換)を不要にするためにデータ“0”、換言すれば白画素を仮想的な画素として本来の画像の外側の領域に配置することにより、符号化対象画素が画像中央に位置する場合と同様の処理を可能とするためである。また、“Y”は画データの第1ラインの先頭のビット以降の各ビットを表している。

【0038】この後は、第3シフトレジスタ43のビットb0側から画データの第1ラインのビットが順次入力されてビットb12側へシフトされるので、ビットb8を符号化対象画素としてテンプレートが形成され続ける。

【0039】やがて、画データの第1ラインの末尾のビットが第3シフトレジスタ43のビットb0に入力され、更にその後のカウンタ51のカウント値CVが“1732”から“1733”までのクロックCLKの2クロックの間は“0”発生回路56から信号“0”が第3シフトレジスタ43に入力されるので、各シフトレジスタ41、42、43の内容は図9に示されているような状態になる。

【0040】なお、上述のような処理が行なわれている間に前ラインメモリ32には、先頭の4ビットが“0”、以降は画データの第1ラインの各ビット、そして末尾の2ビットが“0”のデータが入力される。

【0041】この後、第3シフトレジスタ43には4ビットの“0”に引き続いて画データの第2ラインの各ビットが、更にその後2ビットの“0”が入力されると共に、第2シフトレジスタ42には第2シフトレジスタ42から先頭の4ビットが“0”、以降は画データの第1ラインの各ビット、そして末尾の2ビットが“0”のデータの各ビットが入力される。従って、第3シフトレジスタ43のビットb8を符号化対象画素としてテンプレートが形成されることになる。図10はそのような場合のシフトレ

ジスタ41、42、43の内容を示しており、“Y”は画データの第1ラインの各ビットを、“Z”は画データの第2ラインの各ビットをそれぞれ示している。

【0042】以下、順次的に画データの各ラインが第3シフトレジスタ43に、その一つ前のラインのデータが第2シフトレジスタ42に順次的に入力されシフトされつつ、第3シフトレジスタ43のビットb8を符号化対象画素としてテンプレートが形成されることになる。

【0043】なお、3ラインテンプレートの場合のシフトレジスタ41、42、43の初期状態は図11に示されているようになる(これは図2(a)に示されている3ラインテンプレートの模式図に対応している)が、それ以降の動作は基本的に上述の2ラインテンプレートの場合と同様である。但し、2ラインテンプレートの場合には第1シフトレジスタ41は使用されないが、3ラインテンプレートの場合には第1シフトレジスタ41も使用される点が異なる。

【0044】

【発明の効果】以上に詳述したように本発明の符号器によれば、所定数のラインの画素のデータがそれぞれシフトレジスタに記憶され、また各シフトレジスタの出力データの内の少なくとも所定範囲の画素数のデータがそれぞれシフトレジスタに記憶されるため、シフトレジスタの同一の位置を処理対象とするのみで、シフトレジスタのシフト動作に伴って順次的にデータの処理が行なわれるため、ハードウェアにより高速な処理が実現される。

【0045】また本発明の復号器によれば、所定数のラインの画素のデータがそれぞれシフトレジスタに記憶され、また各シフトレジスタの出力データの内の少なくとも所定範囲の画素数のデータがそれぞれシフトレジスタに記憶されるため、シフトレジスタの同一の位置を処理対象とするのみで、シフトレジスタのシフト動作に伴って順次的にデータの処理が行なわれるため、ハードウェアにより高速な処理が実現される。

【0046】更に本発明の符号・復号器によれば、その符号器と復号器とのいずれにおいても、所定数のラインの画素のデータがそれぞれシフトレジスタに記憶され、また各シフトレジスタの出力データの内の少なくとも所定範囲の画素数のデータがそれぞれシフトレジスタに記憶されるため、シフトレジスタの同一の位置を処理対象とするのみで、シフトレジスタのシフト動作に伴って順次的にデータの処理が行なわれるため、ハードウェアにより高速な処理が実現される。

【図面の簡単な説明】

【図1】JBIG方式による画データの符号化の際の符号化対象画素とテンプレートとの関係を示す模式図である。

【図2】JBIG方式の符号器の構成例を示すブロック図である。

【図3】JBIG方式の復号器の構成例を示すブロック図である。

【図4】本発明の符号器の構成例を示すブロック図である。

【図5】本発明の復号器の構成例を示すブロック図である。

【図6】本発明の符号器及び復号器のモデルテンプレート(MT)回路の回路構成を示すブロック図である。

【図7】本発明の符号器及び復号器のモデルテンプレート(MT)回路による2ラインテンプレート形成時の各シフトレジスタの内容を示す模式図である。

【図8】本発明の符号器及び復号器のモデルテンプレート(MT)回路による2ラインテンプレート形成時の各シフトレジスタの内容を示す模式図である。

【図9】本発明の符号器及び復号器のモデルテンプレート(MT)回路による2ラインテンプレート形成時の各シフトレジスタの内容を示す模式図である。

【図10】本発明の符号器及び復号器のモデルテンプレ*

*ート(MT)回路による2ラインテンプレート形成時の各シフトレジスタの内容を示す模式図である。

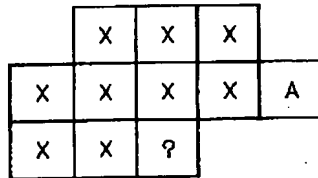
【図11】本発明の符号器及び復号器のモデルテンプレート(MT)回路による3ラインテンプレート形成時の各シフトレジスタの内容を示す模式図である。

【符号の説明】

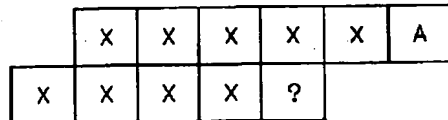
- 32 前ラインメモリ
- 33 前前ラインメモリ
- 41, 42, 43 シフトレジスタ
- 110 TPB(典型的予測ブロック)
- 120 AT(アダプティブテンプレートブロック)
- 130 MT(モデルテンプレートブロック)回路
- 140 AAE(アダプティブ算術符号器)
- 210 AAD(アダプティブ算術復号器)
- 220 MT(モデルテンプレートブロック)回路
- 230 TPB(典型的予測ブロック)

【図1】

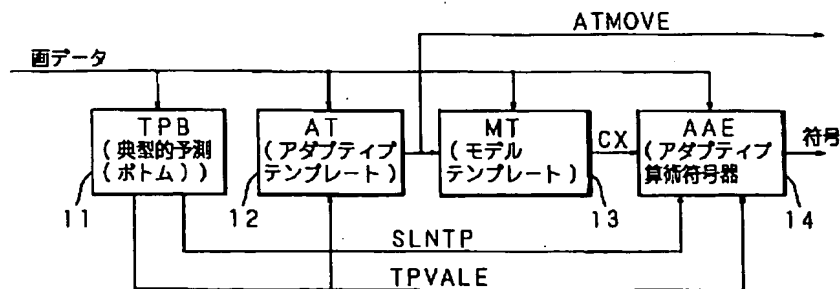
(a)



(b)



【図2】



```

graph LR
    Symbol[符号] --> AAD[21  
AAD  
(アダプティブ  
算術符号器)]
    AAD -- ATMOVE --> MT[22  
MT  
(モデル  
テンプレート)]
    AAD -- CX --> MT
    AAD -- SLNTP --> TPB[23  
TPB  
(典型的予測  
ボトム)]
    MT -- TPVALE --> TPB
    AAD <--> |画データ| MT
    AAD <--> |画データ| TPB
    MT <--> |画データ| TPB
  
```

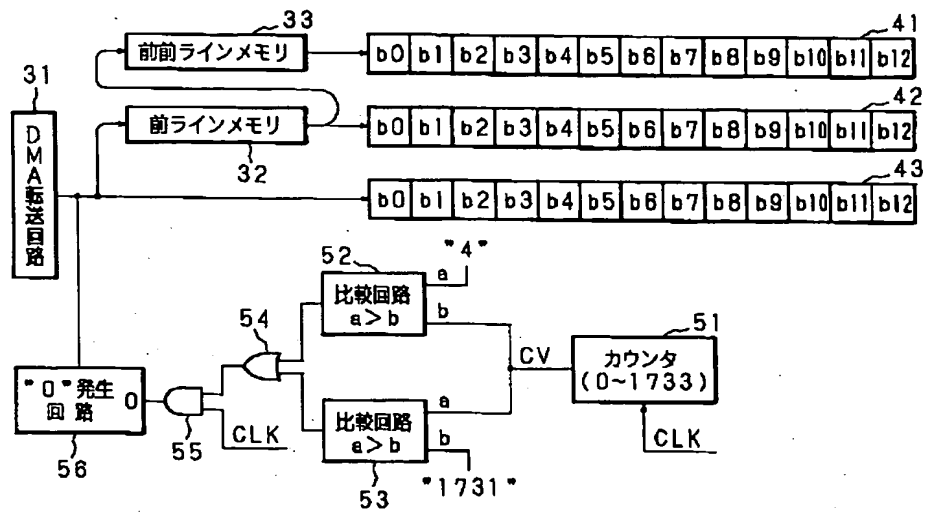
Figure 1 is a block diagram illustrating the data flow in the first embodiment. The diagram shows four main processing blocks: TPB (Typical Prediction Bottom), AT (Adaptive Template), MT回路 (Model Template Circuit), and AAE (Adaptive Arithmetic Symbol Converter). Data flows from left to right. TPB outputs to AT (110), AT outputs to MT回路 (120), MT回路 outputs to AAE (130), and AAE outputs the final symbol (140). Control signals include ATMOVE, SLNTP, and TPVALE. The MT回路 also outputs a CX signal to the AAE block.

```

graph LR
    Symbol[符号] --> AAD[210  
AAD  
(アダプティブ  
算術復号器)]
    AAD -- ATMOVE --> Bus[画データ]
    AAD -- CX --> MT[220  
MT回路  
(モデル  
テンプレート)]
    Bus -- SLNTP --> MT
    Bus -- SLNTP --> TPB[230  
TPB  
(典型的予測  
(ボトム)) ]
    MT -- TPVALE --> TPB
  
```

[illegible]

【図6】



【図8】

	b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	b10	b11	b12	
→	0	0	0	0	0	0	0	0	0	0	0	0	0	41
→	0	0	0	0	0	0	A	X	X	X	X	X	0	42
→	Y	Y	Y	Y	Y	Y	Y	Y	?	X	X	X	X	43

【図9】

	b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	b10	b11	b12	
→	0	0	0	0	0	0	0	0	0	0	0	0	0	41
→	0	0	0	0	0	0	A	X	X	X	X	X	0	42
→	0	0	Y	Y	Y	Y	Y	Y	?	X	X	X	X	43

【図10】

	b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	b10	b11	b12	
→	0	0	0	0	0	0	0	0	0	0	0	0	0	41
→	Y	Y	Y	Y	Y	Y	A	X	X	X	X	X	0	42
→	Z	Z	Z	Z	Z	Z	0	0	?	X	X	X	X	43

(9)

特開平10-336462

【図11】

	b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	b10	b11	b12	
→	0	0	0	0	0	0	0	0	0	X	X	X	0	41
→	0	0	0	0	0	0	0	0	A	X	X	X	X	42
→	Y	Y	Y	Y	Y	Y	Y	Y	0	0	?	X	X	43